

First Named Inventor	Giovanni Naso	<u>COMMUNICATION RE: FILING OF PRIORITY DOCUMENT UNDER 35 USC 119</u>
Serial No.	10/696,971	
Filing Date	October 30, 2003	
Group Art Unit	Unknown	
Examiner Name	Unknown	
Confirmation No.	Unknown	
Attorney Docket No.	400.210US01	
Title: DATA COMPRESSION READ MODE FOR MEMORY DEVICE		

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

In accordance with the requirements for claiming right of priority under 35 U.S.C. 119, enclosed for filing in the above-identified application is a certified copy of Applicant's priority application RM2002 A 000040 (Italy) as filed on January 31, 2003.

Please contact the undersigned attorney at (612) 312-2200 if you have any questions.

Respectfully submitted,

Date: _____

1/30/04

Kenneth W. Bolvin

Kenneth W. Bolvin
Reg. No. 34,125

Attorneys for Applicant
Leffert Jay & Polglaze, P.A.
P.O. Box 581009
Minneapolis, MN 55458-1009
Telephone 612-312-2200
Facsimile 612-312-2250



Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

Invenzione Industriale

N.
RM2003 A 000040



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Con esclusione del Riassunto con disegno principale come specificato dal richiedente.

20 NOV. 2003

Roma, li

IL DIRIGENTE

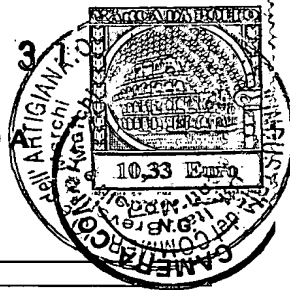
Paola Giuliano
Dr.ssa Paola Giuliano

AL MINISTERO DELLE ATTIVITA' PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO

MODULO



A. RICHIEDENTE (I)

1) Denominazione Micron Technology, Inc.
Residenza Boise, Idaho (U.S.A.) US codice _____

2) Denominazione _____
Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome de Benedetti Fabrizio ed altri cod. fiscale _____
denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.
via Piazza di Pietra n. 39 città ROMA cap 00186 (prov) RM

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____
classe proposta (sez/cl/scl) _____ gruppo/sottogruppo _____ / _____

D. TITOLO

Modo di lettura a compressione di dati per collaudo di memorie.ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA ____/____/____

N. PROTOCOLLO

E. INVENTORI DESIGNATI

cognome nome
1) NASO Giovanni 3) _____
2) _____ 4) _____

F. PRIORITA'

nazione o organizzazione	tipo di priorità	numero di domanda	data di deposito	allegato S/R
1) _____	_____	_____	____/____/____	_____
2) _____	_____	_____	____/____/____	_____

SCIOGLIMENTO RISERVE

Data _____ N° Protocollo _____

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

(Società dello Stato del Delaware)Lettera d'incarico segue

DOCUMENTAZIONE ALLEGATA

N. es.

Doc.	N. es.	PROV	n. pag.	Descrizione
Doc. 1)	2	PROV	39	riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
Doc. 2)	2	PROV	05	disegno (obbligatorio se citato in descrizione, 1 esemplare)
Doc. 3)	0	RIS		lettera d'incarico
Doc. 4)	0	RIS		designazione inventore
Doc. 5)	0	RIS		documenti di priorità con traduzione in italiano
Doc. 6)	0	RIS		autorizzazione o atto di cessione
Doc. 7)	0			nominativo completo del richiedente

8) attestati di versamento, totale Euro duecentonovantuno/80

obbligatorio

COMPILATO IL 31 / 01 / 2003

FIRMA DEL (I) RICHIEDENTE (I) _____

CONTINUA (SI/NO) NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (SI/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI

ROMA

codice 58

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

RM 2003 A 000040

Reg. A

L'anno duemilatre, il giorno trentunodel mese di gennaio

Il (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. _____ fogli aggiuntivi per la concessione del brevetto soprariportato.

00

fogli aggiuntivi per la concessione del brevetto

ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE



L'UFFICIALE ROGANTE

Ufficiale Rogante

Sudra Alami

RM 2003 A 000040

SIB BI3344R

400.210IT01

DESCRIZIONE DELL'INVENZIONE INDUSTRIALE dal titolo:
"MODO DI LETTURA A COMPRESSIONE DI DATI PER
COLLAUDO DI MEMORIE"

a nome di: Micron Technology, Inc. (Società
dello Stato del Delaware)

di: Boise, Idaho (Stati Uniti d'America)



DESCRIZIONE

Campo tecnico dell'invenzione

La presente invenzione si riferisce genericamente a dispositivi di memoria ed in particolare la presente invenzione si riferisce a compressione di dati in un dispositivo di memoria.

Base tecnica dell'invenzione

I dispositivi di memoria a circuito integrato tipicamente includono una o più schiere di celle di memoria che memorizzano dati. I dati sono letti o scritti dalla cella di memoria impiegando collegamenti di comunicazione di dati. Alcuni tipici dispositivi di memoria includono le memorie ad accesso casuale (RAM), memorie dinamiche ad accesso casuale (DRAM), DRAM sincrone (SDRAM), RAM statiche (SRAM), e memorie non volatili quali le



S.I.B.
ROMA

Flash.

Una schiera di dati di memoria è spesso organizzata internamente come una pagina di dati contenente n parole con ciascuna parola contenente un certo numero di bit il quale ha il numero di connessioni di comunicazione di dati (DQ). Durante la produzione dei dispositivi di memoria, le singole celle di memoria devono essere collaudate. Uno dei collaudi può essere un collaudo di verifica di scrittura.

Il collaudo di verifica di scrittura comporta lo scrivere una configurazione nota di dati (ad esempio una configurazione di uni e zeri) verso la schiera di memoria. I dati possono essere letti una parola alla volta e confrontati bit per bit con la configurazione di dati immessa originariamente nella schiera di memoria. Se ciascun bit in una particolare posizione di ciascuna parola dei dati di uscita coincide con il bit corrispondente della configurazione di ingresso, il dispositivo supera il collaudo. Una non coincidenza tra un qualsiasi bit di una qualsiasi parola dei dati di uscita e della configurazione di ingresso indica un'avaria.

Un problema con un tale collaudo consiste nel fatto che con l'aumentare della densità delle

schiere di memoria, aumenta anche il tempo necessario per il collaudo completo della schiera di memoria. Dato che il fabbricante di memoria deve collaudare un gran numero di dispositivi di memoria, anche un piccolo aumento nel tempo di collaudo moltiplicato per il grande numero di dispositivi di memoria crea un problema per il fabbricante.

Una prima tecnica che può essere impiegata per abbreviare il tempo di collaudo e la compressione di dati. Dati letti da una molteplicità di celle di memoria sono compresse in un più piccolo numero di bit di dati. Conseguentemente, è richiesto meno tempo per un dato numero di celle di memoria quando si realizza la compressione di dati. La circuiteria di lettura a compressione di dati è usualmente progettata in modo tale che non influenzi le prestazioni delle operazioni di scrittura o lettura non di collaudo. Il percorso di lettura a compressione di dati funziona soltanto nel modo a collaudo ed è in parallelo con il percorso di lettura non a collaudo.

Tipiche tecniche di compressione di dati sono basate sull'approccio di logica a rapporto per la compressione di dati. L'approccio di logica a

rapporto è ben noto nella tecnica e non è ulteriormente discusso. La logica a rapporto è tipicamente limitata ad effettuare compressioni in un intervallo di dieci parole. Ciò limita la quantità di compressione che può essere realizzata al fine di ridurre il tempo di collaudo.

Per le ragioni sopra elencate, e per altre ragioni che verranno esposte oltre che diverranno chiare a coloro che sono esperti nel ramo dalla lettura e compressione della presente descrizione, vi è una necessità nella tecnica per uno schema alternativo di lettura di compressione di dati.

Sommario

I problemi sopra menzionati con la compressione di dati ed altri problemi sono oggetto della presente invenzione e verranno compresi dalla lettura e studio della seguente descrizione.

Le varie forma di realizzazione si riferiscono ad apparecchiature di lettura a compressione di dati in un dispositivo di memoria. L'apparecchiatura ha un primo circuito che genera un primo segnale di coincidenza se il bit i^{th} di tutte le parole coinvolte in una operazione di compressione sono eguali ad uno zero logico. Un secondo circuito genera un secondo segnale di

coincidenza se lo i^{th} bit di tutte le parole coinvolte nell'operazione di compressione sono eguali ad un uno logico. I segnali di coincidenza del primo e del secondo bit sono accoppiati a e controllano un buffer di uscita che o fa passare il bit collaudato o crea una condizione di alta impedenza in risposta al primo e secondo dei segnali di coincidenza.

Per una prima forma di realizzazione, l'invenzione fornisce un primo gruppo di circuiti di coincidenza di bit che sono accoppiati in serie al fine di verificare il bit i^{th} della parola coinvolta nell'operazione di compressione. Se i bit i^{th} di ciascuna parola sono tutti a zero logico, il primo gruppo di circuiti di coincidenza di bit pone in uscita un uno logico. Un secondo gruppo di circuiti di coincidenza di bit sono accoppiati in serie al fine di verificare il bit i^{th} delle parole coinvolte nell'operazione di compressione. Se i bit i^{th} di ciascuna parola sono tutti a uno logico, il secondo gruppo di circuiti di coincidenza di bit pone in uscita un uno logico. I segnali di uscita sono posti in OR logico per controllare un buffer di uscita in modo che il bit i^{th} venga trasferito al collegamento DQ se il bit supera la verifica. Se



il bit non supera la verifica, il buffer di uscita viene posto in stato di alta impedenza per indicare l'avaria del bit.

Ulteriori forme di realizzazione dell'invenzione includono metodi ed apparecchiature di ambito variabile.

Breve descrizione dei disegni

La figura 1 mostra uno schema di una forma di realizzazione di un circuito di coincidenza a singolo bit della presente invenzione.

La figura 2 mostra lo schema di una forma di realizzazione di una apparecchiatura a modo di lettura a compressione di dati della presente invenzione.

La figura 3 mostra uno schema di un'altra forma di realizzazione dell'apparecchiatura di compressione di dati della presente invenzione.

La figura 4 mostra un diagramma di flusso di una forma di realizzazione di un metodo di lettura di compressione di dati della presente invenzione.

La figura 5 mostra uno schema a blocchi di una forma di realizzazione di un dispositivo della presente invenzione.

Descrizione particolareggiata

Nella seguente descrizione particolareggiata

dell'invenzione, si fa riferimento ai disegni allegati che ne formano parte, ed in cui sono mostrate, a titolo di illustrazione, specifiche forme di realizzazione secondo le quali l'invenzione può essere realizzata in pratica. Nei disegni, numeri eguali descrivono componenti sostanzialmente simili attraverso le varie viste. Queste forme di realizzazione sono descritte con sufficienti dettagli per consentire a coloro che sono esperti nel ramo di realizzare in pratica l'invenzione. Altre forme di realizzazione possono essere utilizzate così come possono essere introdotte variazioni strutturali, logiche ed elettriche senza allontanarsi dall'ambito della presente invenzione. La seguente descrizione particolareggiata quindi non deve essere considerata in senso limitativo, e l'ambito della presente invenzione è definito soltanto dalle rivendicazioni allegate e dai loro equivalenti.

La figura 1 illustra uno schema di una prima forma di realizzazione di un circuito di coincidenza a singolo bit 100 della presente invenzione. Questo circuito 100 fornisce una di due possibili condizioni. In un modo l'ingresso "IN" è cortocircuitato con l'uscita "OUT". In altri

termini, l'uscita è cortocircuitata a massa in modo che il circuito fornisca un segnale di uscita a zero logico.

Il circuito 100 di coincidenza di bit della forma di realizzazione di figura 1 è costituito da un transistor 102 a canale p ed un transistor 103 a canale n. Questi transistori 102 e 103 sono collegati in parallelo per formare una porta di trasferimento complementare 101 per collegare l'ingresso alla uscita del circuito 100. La porta del transistor 103 a canale n è collegata al segnale di uscita di una porta NAND 107 che opera come circuito di ingresso. In questa forma di realizzazione il segnale è etichettato come "pass". Il gate del transistor a canale p è collegato all'uscita di un invertitore 105 in modo che l'inverso del segnale "pass" sia collegato al gate del transistor a canale p. In una tale forma di realizzazione, ambedue i transistori 102 e 103 sono ON oppure OFF sostanzialmente allo stesso tempo a seconda dello stato del segnale "pass".

Il segnale "pass" è generato effettuando una operazione di NAND logico su due segnali di controllo. In questa forma di realizzazione, questi segnali sono un segnale di abilitazione "en" ed un

segnale di bit "bit". Altre forme di realizzazione possono usare altri tipi di segnali di controllo. Il segnale bit è uno dei bit da verificare durante il collaudo di verifica di scrittura. Questo segnale bit è uno di una molteplicità di bit che costituisce una parola che deve essere verificata. In una forma di realizzazione, la parola è costituita da 16 bit. Questo segnale di bit è accoppiato ad una particolare cella di memoria della schiera di memoria del dispositivo di memoria.

Il segnale di abilitazione è un segnale di abilitazione di parola che è generato dalla circuiteria di controllo del dispositivo di memoria come descritto successivamente in riferimento alla figura 5. Il segnale di abilitazione indica alla circuiteria 100 di coincidenza di bit che la parola di cui il segnale bit è una parte è coinvolta in una operazione di lettura compressa. Il segnale di abilitazione è generato come parte di una operazione di lettura del collaudo di verifica che viene eseguito dalla circuiteria di controllo. Una tale operazione di lettura è illustrata in figura 4 come descritto successivamente.

Nella forma di realizzazione di figura 1,



S.I.B.
ROMA

quando il segnale di abilitazione è un uno logico (cioè $en = 1$), la parola alla quale il segnale bit appartiene è coinvolta nella operazione di lettura compressa. Quando il segnale di abilitazione è uno zero logico (cioè, $en = 0$), la parola non fa parte dell'operazione di lettura compressa.

Se $en = 0$, ambedue i transistori 102 e 103 della porta 101 di trasferimento sono attivati e il collegamento di ingresso è accoppiato al collegamento di uscita attraverso la combinazione di transistori in parallelo 102 e 103. In questo modo a trasferimento, il valore del segnale di bit non ha effetto sul circuito. Un qualsiasi segnale presentato sul collegamento di ingresso mentre $en = 0$ viene trasferito al collegamento di uscita.

Se $en = 1$, lo stato del circuito 100 dipende dal segnale di bit. In questo caso, se $bit = 0$, ambedue i transistori 102 e 103 della porta di trasferimento 101 sono attivati e un segnale sul collegamento di ingresso è trasferito al collegamento di uscita. Se $bit = 1$, ambedue i transistori 102 e 103 della porta di trasferimento 101 sono disattivati ed il collegamento di ingresso non è più accoppiato al collegamento di uscita. In questo caso, un transistore 109 a canale n che

opera come interruttore e che è collegato al collegamento di uscita viene attivato per cortocircuitare a massa il collegamento di uscita. Ciò fa in modo che l'uscita del circuito 100 di coincidenza di bit sia a zero logico.

La forma di realizzazione di figura 1 illustra soltanto una possibile realizzazione per eseguire le operazioni desiderate della presente invenzione. Forme di realizzazione alternative impiegano altri elementi logici/circuitali per ottenere sostanzialmente il medesimo risultato. Ad esempio, se la logica fosse invertita per cui il segnale di abilitazione è uno zero logico quando la parola è coinvolta nell'operazione di lettura compressa, possono essere richiesti diversi elementi.

La figura 2 illustra uno schema di una prima forma di realizzazione di un'apparecchiatura a modo a lettura a compressione di dati della presente invenzione. Questa forma di realizzazione è costituita da una molteplicità di circuiti di coincidenza di bit 201-204 collegati in serie che sono sostanzialmente identici al circuito 100 di coincidenza di bit della figura 1. In questa forma di realizzazione, vi sono due circuiti 201-204 di coincidenza di bit per ciascun bit di ciascuna

parola coinvolta nella operazione di compressione. Lo schema della figura 2 illustra la parte dell'apparecchiatura richiesta per il bit i^{th} di ciascuna parola. Lo schema verrebbe ripetuto per ciascun bit (cioè, bit 1-bit i) di ciascuna parola, cioè, (w_1-w_n) che è coinvolta nella operazione di compressione.

Nella forma di realizzazione di figura 2, i circuiti 201-204 di coincidenza di bit sono disposti in modo tale che i circuiti 201 e 203 di coincidenza di bit accoppiati in serie (cioè B_1-B_n) generino un segnale di coincidenza etichettato come "match $0i$ ". L'ingresso del primo circuito 201 di coincidenza di bit è accoppiato a V_{cc} . L'uscita di ciascun circuito di coincidenza di bit è accoppiato all'ingresso del circuito successivo. Il circuito 203 di coincidenza di bit finale nella serie 220 pone in uscita il segnale "match $0i$ ". Come discusso successivamente, ciascuno dei circuiti 201 e 203 di coincidenza di bit in questa serie 220 di circuiti 201 e 203 di coincidenza di bit sono accoppiati al bit i^{th} delle parole d dati w_1-w_n , da una schiera di memoria, che sono coinvolti nella operazione di compressione.

Un'altra serie 221 di circuiti 202 e 204 di

coincidenza di bit (cioè BB1-BBn) sono accoppiati in serie in modo che questi generino un secondo segnale di coincidenza etichettato come "match li". L'ingresso del primo circuito 202 di coincidenza di bit è accoppiato a V_{cc} . L'uscita di ciascun circuito di coincidenza di bit è accoppiato all'ingresso di un circuito successivo. Il circuito 204 di coincidenza di bit finale nella serie 221 pone in uscita il segnale "match li". Come discusso in seguito, ciascuno dei circuiti 202 e 204 di coincidenza di bit in questa serie 221 di circuiti 202 e 204 di coincidenza di bit sono accoppiati allo i^{th} bit di parole di dati w1-wn.

I segnali di abilitazione del controllo accoppiati ai circuiti 201-204 di coincidenza di bit i^{th} sono un segnale di parola di abilitazione (ad esempio "enw1", "enw2"- "enwn") ed il bit i^{th} (ad esempio "biti") di ciascuna parola che è coinvolta nella operazione di compressione. Il segnale di parola di abilitazione viene generato dalla circuiteria di controllo del dispositivo di memoria. Il bit i^{th} da ciascuna parola w1-wn proviene dalla cella di memoria contenente quel particolare bit di dati.

Il segnale "biti" di ciascuna parola di dati è



accoppiato alla serie 220 "match 0i" dei circuiti 201 e 203 di coincidenza di bit attraverso due invertitori 210 e 211 per la prima parola e invertitori 212 e 213 per l'ultima parola. Ciò ha l'effetto di accoppiare il valore del bit di dati i^{th} a ciascun circuito 201 e 203 di coincidenza di bit della serie 220 "match 0i". Il segnale "biti" di ciascuna parola di dati è accoppiato alla serie 221 "match 1i" dei circuiti 202 e 204 di coincidenza di bit attraverso un singolo invertitore 211 per la prima parola ed invertitore 213 per l'ultima parola in modo che questi circuiti 202 e 204 di coincidenza di bit siano controllati dal bit i^{th} . Il funzionamento dei segnali "enw1"- "enwn" e "biti" con i circuiti 201-204 di coincidenza di bit sono discussi con maggiore dettaglio in riferimento alla figura 1 come sopra.

Durante il funzionamento, se il bit i^{th} di tutte le parole coinvolte nell'operazione di compressione sono uno zero logico ed i segnali "enw1"- "enwn" sono un uno logico, il segnale "match 0i" sarà nello stato vero. In una forma di realizzazione questo stato è un uno logico. Se almeno uno dei bit nella posizione i^{th} della parola compressa è un uno logico, il segnale "match 0i"

sarà nello stato falso. In una forma di realizzazione, questo stato è uno zero logico.

Se il bit i^{th} di tutte le parole coinvolte nella operazione di compressione sono un uno logico ed i segnali "enw1"- "enwn" sono un uno logico, il segnale "match li" sarà in uno stato vero. In una forma di realizzazione, questo stato è un uno logico. Se almeno uno dei bit nella posizione i^{th} della parola compressa è uno zero logico, il segnale "match li" sarà nello stato falso. In una forma di realizzazione, questo stato è uno zero logico.

Il segnale "match 0i" ed il segnale "match li" sono posti in ingresso ad una operazione 215 di OR logico, quale la porta logica OR 215. Se il bit i^{th} di tutte le parole coinvolte nell'operazione di compressione hanno il medesimo valore, o "match 0i" oppure "match li" è nello stato vero (ad esempio un uno logico) e l'uscita dell'operazione OR logica 215 (ad esempio "match i") sarà nello stato vero (ad esempio un uno logico). Se uno qualsiasi dei bit i^{th} non hanno lo stesso valore, "match i" sarà nello stato falso (ad esempio uno zero logico).

In una forma di realizzazione, l'operazione logica OR 215 è una porta OR. Tuttavia, altre forme

di realizzazione impiegano altri elementi logici per generare risultati sostanzialmente simili.

L'uscita dell'operazione 215 di OR logico è posta in ingresso come segnale di controllo ad un buffer 216 di uscita. Questo buffer 216 è il buffer di uscita per il bit i^{th} della parola compressa. L'uscita del buffer 216 è DQi per il dispositivo di memoria. Il buffer ha un ingresso di controllo aggiuntivo etichettato OE_ che va a livello basso quando il buffer è abilitato dalla circuiteria di controllo del dispositivo di memoria. Il bit i^{th} che viene verificato viene immesso nel buffer 216 come dato da essere posto in uscita attraverso il buffer 216.

Supponendo che la circuiteria di controllo abbia abilitato il buffer 216, quando il bit i^{th} di tutte le parole compresse coinvolte nell'operazione di compressione sono eguali e "match i" è uno zero logico, il buffer viene abilitato ed il valore del bit-i è ammesso attraverso il buffer 216. Ciò consente che il dispositivo di collaudo esterno legga il collegamento DQi per il corretto valore bit-i per determinare che il bit era stato collaudato con successo. Se uno dei bit i^{th} di una delle parole compresse non è il valore corretto, il

segnale "match i" è un uno logico ed il buffer 216 è forzato nello stato ad alta impedenza. Il dispositivo di collaudo esterno può quindi rivelare questo stato di alta impedenza e determinare che il collaudo è fallito.

La forma di realizzazione di figura 2 illustra un modo per effettuare un confronto di bit di ciascun bit rispettivo nelle parole coinvolte in una operazione di compressione. Forme di realizzazione alternative impiegano altri circuiti per realizzare risultati sostanzialmente analoghi.

Il ritardo di propagazione attraverso la serie di circuiti 201-203 e 202-204 di coincidenza di bit in figura 2 può essere molto elevato per il fatto che i circuiti in serie di coincidenza di numerosi bit rappresentano un percorso resistivo influenzato dall'effetto corpo MOS e V_{cc} deve propagarsi lungo questo percorso. La figura 3 illustra uno schema di una forma di realizzazione alternativa dell'apparecchiatura a modo di lettura a compressione di dati della presente invenzione per risolvere il degrado di velocità del percorso resistivo. Questa forma di realizzazione ha funzionalità sostanzialmente analoga a quella della forma di realizzazione di figura 2. Questa forma di



realizzazione, tuttavia, possiede un circuito 301 e 302 ripetitore aggiuntivo aggiunto lungo la serie di circuiti di coincidenza di bit che genera i segnali "match i" e "match li". I circuiti ripetitori 301 e 302 sono costituiti, in una forma di realizzazione, da invertitori rispettivamente 305-306 e 307-308. Questi elementi 301 e 302 migliorano considerevolmente le prestazioni della lettura compressa, riducendo il ritardo di propagazione. In effetti, gli elementi 301 e 302 interrompono il percorso resistivo; effettuando un pilotaggio forte del segnale. In una prima forma di realizzazione, i ripetitori 301 e 302 sono aggiunti ogni sedici parole. Forme di realizzazione alternative si sommano ad intervalli diversi. La discussione di figura 2 precedente illustra il funzionamento del resto della forma di realizzazione di figura 3.

La forma di realizzazione di figura 3 illustra un modo per migliorare il ritardo di propagazione attraverso ciascuno una serie di circuiti di coincidenza di bit. Forme di realizzazione alternative impiegano altri circuiti per realizzare risultati sostanzialmente simili.

La figura 4 illustra un diagramma di flusso di

una forma di realizzazione di un metodo di lettura a compressione di dati della presente invenzione. Il metodo effettua una operazione 401 di coincidenza di bit su ciascuno dei bit di ciascuna parola coinvolta nella operazione di compressione. In una prima forma di realizzazione, il bit i^{th} di ciascuna parola viene verificato con due circuiti di coincidenza di bit accoppiati in serie per determinare se il bit i^{th} è di tutti zeri o di tutti uno. Il circuito di coincidenze di bit accoppiato in serie verifica tutti zeri mentre il secondo verifica tutti uno. Se l'uno o l'altro è vero, i bit coincidono 403.

Se tutti i bit della coincidenza di parola 403, il bit collaudato è ammesso ad essere accoppiato al collegamento DQ 405 nel dispositivo di memoria. In una prima forma di realizzazione, ciò può essere effettuato controllando un buffer di uscita per il quale un ingresso è il bit collaudato ed un segnale di controllo è una indicazione della operazione di coincidenza di bit che il bit ha superato il collaudo.

Se uno qualsiasi dei bit della parola non coincide 403, il bit collaudato non è fatto passare accoppiato al collegamento DQ per cui una

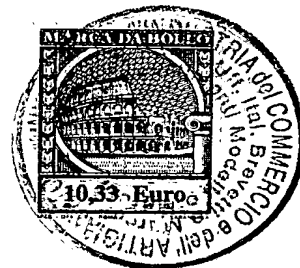
condizione di errore è indicata 407. In una forma di realizzazione, ciò può essere effettuato forzando il buffer di uscita in uno stato di alta impedenza. Conseguentemente, un qualsiasi dispositivo di collaudo che legge quel particolare collegamento DQ non leggerà un valore alto o basso. Una volta che è stato determinato che un bit è in errore non vi è alcun modo di determinare a quale parola il bit difettoso appartiene. Tuttavia, sono possibili almeno due strategie per tentare di riparare il bit difettoso impiegando le strutture di ridondanza di riga e/colonna. La prima strategia è quella di riparare la collocazione di bit difettoso in tutte le parole 411 comprese con una singola operazione di riparazione. In questo caso, il tempo di collaudo non è aumentato ma può essere impiegata una notevole ridondanza. Una seconda strategia è quella di uscire dal modo di collaudo di lettura compressa, leggere ciascuna parola singolarmente 409 per determinare la collocazione dell'errore, e riparare la collocazione di bit difettoso della particolare parola 413. In questo caso, viene impiegata la minima ridondanza ma il tempo di collaudo può essere aumentato.

La figura 5 illustra uno schema a blocchi

funzionale di una forma di realizzazione di un dispositivo 500 di memoria della presente invenzione. Il dispositivo 500 di memoria può essere accoppiato ad un elaboratore 510 per formare parte di un sistema elettronico 520. Il dispositivo di memoria 500 è stato semplificato per mettere a fuoco le caratteristiche della memoria che sono utili nella comprensione della presente invenzione. In una forma di realizzazione il dispositivo di memoria è un dispositivo di memoria flash.

Il dispositivo di memoria include una schiera di celle 530 di memoria. Le celle di memoria sono celle di memoria a gate flottante non volatili e la schiera 530 di memoria è disposta in banchi di righe e colonne. In una forma di realizzazione, la schiera di celle di memoria è costituita da un blocco di memoria che costituisce un intervallo di indirizzo prestabilito nella schiera di memoria.

Un circuito 540 di buffer di indirizzo è disposto per agganciare segnali di indirizzo disposti sui collegamenti di ingresso di indirizzo A0-Ax 542. Segnali di indirizzo sono ricevuti e decodificati da un decodificatore 544 di riga ed un decodificatore 546 di colonna per accesso alla schiera 530 di memoria. Si comprenderà da parte di



coloro che sono esperti nel ramo, con l'aiuto della presente invenzione, che il numero di collegamenti di ingresso di indirizzo dipende dalla densità e dall'architettura della schiera 530 di memoria. Cioè, il numero di indirizzi aumenta sia con il conteggio di celle di memoria aumentato e conteggio aumentato di banchi e blocchi.

Il dispositivo 500 di memoria legge dati nella schiera 530 di memoria impiegando amplificatori di lettura per percepire variazioni di tensione o corrente nelle colonne della schiera di memoria impiegando la circuiteria 550 di lettura/aggancio. La circuiteria 550 di lettura/aggancio, in una forma di realizzazione, è accoppiata per leggere ed agganciare una fila di dati dalla schiera 530 di memoria. L'ingresso di dati e la circuiteria 560 di buffer di uscita è inclusa per comunicazione di dati bidirezionale su una molteplicità di collegamenti di dati (DQ) 562 con l'elaboratore 510. La circuiteria 555 di scrittura è prevista per scrivere dati nella schiera di memoria.

Il circuito 570 di controllo di comando decodifica segnali forniti sui collegamenti 572 di controllo dall'elaboratore 510. Questi segnali sono impiegati per controllare le operazioni sulla

schiera 530 di memoria, incluse le operazioni di lettura dati, scrittura dati, e cancellazione. In una forma di realizzazione, la circuiteria 570 di controllo è costituita da una macchina a stati che esegue le funzioni di controllo del dispositivo 500 di memoria e genera segnali di parola di abilitazione della presente invenzione.

Una schiera di registri 580 di controllo immagazzina i comandi ed i dati di controllo. Alcuni dei registri di controllo sono impiegati per tipiche funzioni di controllo ed altri possono essere riservati per espansione e/o uso futuro.

Il dispositivo di memoria illustrato nella figura 5 è stato semplificato per facilitare una comprensione di base delle caratteristiche della memoria in quanto queste si riferiscono alla presente invenzione. Una comprensione più dettagliata della circuiteria interna e delle funzioni delle memorie flash e delle memoria flash sincrone sono note a coloro che sono esperti nel ramo. Forme di realizzazione alternative del dispositivo di memoria di figura 5 includono altri tipi di memoria quali memorie flash sincrone, memorie flash NAND, memorie flash NOR, altri tipi di memoria non volatili, o qualsiasi altro tipo di

memoria che richiede di essere collaudato.

CONCLUSIONE

La presente invenzione supera le limitazioni di parola compressa tipiche della tecnica anteriore pur mantenendo il ritardo di propagazione identico a o inferiore al valore tipico della tecnica precedente. Impiegando un approccio a blocchi costruttivi con circuiti di coincidenza di bit per confrontare ciascun bit rispettivo delle parole compresse, la presente invenzione evita i problemi inerenti agli schemi logici a rapporto della tecnica anteriore. Il bit i^{th} di ciascuna parola che è coinvolta nella operazione di compressione viene verificato per determinare se questo coincide con gli altri bit rispettivi. Il bit viene verificato per uno stato logico 1 o uno stato logico zero. Se i bit rispettivi sono dello stesso valore, il bit è trasferito al suo collegamento di uscita. Se uno dei bit rispettivi è diverso, indicando una cella di memoria difettosa, il collegamento di uscita è collocato in stato ad alta impedenza.

Sebbene forme di realizzazione specifiche siano state qui illustrate e descritte, si comprenderà da parte di coloro con ordinaria

esperienza nel ramo che qualsiasi disposizione che è calcolata per raggiungere il medesimo scopo può essere sostituita alle specifiche forme di realizzazione mostrate. Numerosi adattamenti dell'invenzione saranno chiari a coloro con ordinaria esperienza nel ramo. Conseguentemente, questa domanda è intesa a proteggere qualsiasi adattamento o variazioni dell'invenzione. È manifestamente inteso che questa invenzione sia limitata soltanto dalle rivendicazioni seguenti e loro equivalenti.

Gilberto Tonon
Y (Iscr. Albo n. 83 844)
un'iniz



RM 2003 A 000040

RIVENDICAZIONI

1. Apparecchiatura di lettura di dati a compressione in un dispositivo di memoria, l'apparecchiatura comprendendo:

un primo circuito che genera un primo segnale di coincidenza quando una prestabilita posizione di bit di ciascuna molteplicità di parola di dati è a zero logico;

un secondo circuito che genera un secondo segnale di coincidenza quando la posizione di bit prestabilita di ciascuna della molteplicità di parole di dati sono a uno logico; e

un circuito buffer di uscita che fa passare il bit prestabilito oppure è in uno stato di alta impedenza in risposta al primo o secondo dei segnali di coincidenza.

2. Apparecchiatura della rivendicazione 1, in cui il primo circuito comprende una prima molteplicità di circuiti di coincidenza di bit, ciascun circuito di coincidenza di bit accoppiato alla posizione di bit prestabilita di ciascuna della molteplicità di parole di dati ed il secondo circuito comprende una seconda molteplicità di circuiti di coincidenza di bit, ciascun circuito di coincidenza di bit accoppiato alla posizione di bit

prestabilita di ciascuna della molteplicità di parole di dati.

3. Apparecchiatura della rivendicazione 1, in cui il primo circuito genera uno stato logico vero quando la posizione di bit prestabilita è uno zero logico.

4. Apparecchiatura della rivendicazione 1, in cui il secondo circuito genera uno stato logico vero quando la posizione di bit prestabilita è un uno logico.

5. Apparecchiatura della rivendicazione 1, e ulteriormente comprendente una operazione di OR logico accoppiata al primo e secondo dei segnali di coincidenza in modo tale che la operazione di OR logico generi un segnale di coincidenza quando uno dei primi o secondi segnali di coincidenza è nello stato logico vero, il segnale di coincidenza accoppiato a e controllante lo stato del circuito buffer di uscita in modo che il circuito buffer di uscita faccia passare il bit prestabilito quando il segnale di coincidenza è vero e pone il circuito buffer di uscita nello stato ad alta impedenza quando il segnale di coincidenza è falso.

6. Apparecchiatura della rivendicazione 1, in cui il dispositivo di memoria è un dispositivo

di memoria flash.

7. Apparecchiatura di lettura a compressione di dati in un dispositivo di memoria, l'apparecchiatura comprendendo:

una prima serie di circuiti di coincidenza di bit che genera un primo segnale di coincidenza per indicare se una posizione di bit prestabilita di ciascuna di una molteplicità di parole di dati si trovano a zero logico;

una seconda serie di circuiti di coincidenza di bit che genera un secondo segnale di coincidenza per indicare se la posizione di bit prestabilita di ciascuna della molteplicità di parole di dati si trova a uno logico; e

un circuito buffer di uscita accoppiato alla prima e seconda serie di circuiti di coincidenza di bit in modo tale che il buffer di uscita ponga in uscita il bit prestabilito quando o il primo o il secondo dei segnali di coincidenza indica uno stato vero ed il buffer di uscita si trova nello stato ad alta impedenza in risposta al fatto che il primo o secondo dei segnali di coincidenza indica uno stato falso.

8. Apparecchiatura della rivendicazione 7, in cui lo stato vero è un uno logico e lo stato

falso è uno zero logico.

9. Apparecchiatura della rivendicazione 7, in cui ciascun circuito di coincidenza di bit comprende:

un primo transistor avente un collegamento di ingresso, un collegamento di uscita, e un primo gate di controllo;

un secondo transistor accoppiato in parallelo al primo transistor, il secondo transistor avendo un secondo gate di controllo;

un terzo transistor accoppiato tra massa ed il collegamento di uscita, il terzo transistor avendo un terzo gate di controllo; e

un circuito di ingresso di controllo avente un segnale di abilitazione e un bit prestabilito come ingressi, il circuito di ingresso di controllo generando una uscita di segnale di controllo accoppiato al primo, secondo e terzo gate di controllo in modo tale che un segnale di ingresso sul collegamento di ingresso sia instradato verso il collegamento di uscita quando il segnale di controllo si trova nello stato uno e il collegamento di uscita è a massa quando il segnale di controllo è nel secondo stato.

10. Apparecchiatura della rivendicazione 9,



in cui il primo transistor è un transistor a canale p ed il secondo transistor è un transistor a canale n.

11. Apparecchiatura della rivendicazione 9, in cui il primo stato è un uno logico ed il secondo stato è uno zero logico.

12. Apparecchiatura di lettura a compressione di dati in un dispositivo di memoria flash, l'apparecchiatura comprendendo:

una prima serie di circuiti di coincidenza di bit che genera un primo segnale di coincidenza di bit per indicare quando una posizione di bit prestabilita di ciascuna di una molteplicità di parole di dati sono ad uno zero logico;

una seconda serie di circuiti di coincidenza di bit che genera un secondo segnale di coincidenza per indicare quando la posizione di bit prestabilita di ciascuna della molteplicità di parole di dati sono ad un uno logico;

una operazione di OR logico avente ingressi accoppiati al primo e secondo segnale di coincidenza, la operazione OR logico generando una indicazione di vero quando uno dei primi, o secondi segnali di coincidenza indica uno stato vero ed altrimenti una indicazione di falso; e

un circuito buffer di uscita accoppiato alla operazione OR logico tale che il buffer di uscita fa passare il bit prestabilito in risposta alla indicazione di vero e il buffer di uscita è in uno stato ad alta impedenza in risposta alla indicazione di falso.

13. Apparecchiatura della rivendicazione 12, in cui la operazione di OR logico è costituita da una porta OR logica.

14. Circuito di coincidenza di bit comprendente:

un primo transistorore avente un collegamento di ingresso, un collegamento di uscita, ed un primo gate di controllo;

un secondo transistorore accoppiato in parallelo al primo transistorore, il secondo transistorore avendo un secondo gate di controllo;

un dispositivo di commutazione accoppiato tra massa ed il collegamento di uscita, il dispositivo di commutazione avendo un ingresso di controllo; e

un circuito di ingresso di controllo avente un segnale di abilitazione e un bit di dati prestabilito come ingressi, il circuito di ingresso di controllo generando una uscita di segnale di controllo accoppiata al primo e secondo gate di

controllo e l'ingresso di controllo essendo tale per cui un segnale di ingresso sul collegamento di ingresso è instradato verso il collegamento di uscita quando il segnale di controllo è in un primo stato logico ed il collegamento di uscita è posto a massa quando il segnale di controllo è nello stato logico inverso.

15. Circuito della rivendicazione 14, in cui il primo stato logico è un uno logico e lo stato logico inverso è uno zero logico.

16. Circuito della rivendicazione 14, in cui il primo transistor e il dispositivo di commutazione sono transistori a canale n ed il secondo transistor è un transistor a canale p.

17. Circuito della rivendicazione 14, in cui il bit di dati prestabilito è un bit di dati da una parola di dati coinvolta in una operazione di compressione in un dispositivo di memoria.

18. Metodo per effettuare una operazione di lettura compressa in un dispositivo di memoria avente un buffer di uscita, il metodo comprendendo:

effettuare una operazione di coincidenza di bit su un bit di dati in una collocazione di bit prestabilita di ciascuna parola coinvolta nella operazione di lettura compressa;

se i bit di dati in ciascuna collocazione di bit prestabilita in ciascuna parola sono uguali, abilitare il trasferimento dei bit di dati attraverso il buffer di uscita; e

se i bit di dati in ciascuna delle collocazioni di bit prestabilita in ciascuna parola non sono uguali, indicare una condizione di errore.

19. Metodo della rivendicazione 18, in cui la condizione di errore è indicata creando una condizione di alta impedenza nel buffer di uscita.

20. Metodo per effettuare una operazione di lettura compressa in un dispositivo di memoria avente un buffer di uscita, il metodo comprendendo:

combinare una prima molteplicità di circuiti di coincidenza di bit in serie in modo che ciascun circuito di coincidenza di bit sia accoppiato ad una collocazione di bit prestabilita di una molteplicità di parole di dati;

combinare una seconda molteplicità di circuiti di coincidenza di bit in serie in modo tale che ciascun circuito di coincidenza di bit sia accoppiato alla collocazione di bit prestabilita della molteplicità di parole di dati;

effettuare una operazione di coincidenza di bit a zero logico su una molteplicità di bit



prestabiliti nella collocazione di bit prestabilita con la prima molteplicità di circuiti di coincidenza di bit;

effettuare una operazione di coincidenza di bit a uno logico sulla molteplicità di bit prestabiliti con la seconda molteplicità di circuiti di coincidenza di bit;

se la molteplicità di bit prestabiliti in ciascuna della molteplicità di parole di dati possiede lo stesso valore, abilitare il trasferimento del valore attraverso il buffer di uscita; e

se la molteplicità di bit prestabiliti in ciascuna delle molteplicità di parole di dati non ha il medesimo valore, fare in modo che il buffer di uscita sia in uno stato di alta impedenza.

21. Sistema elettronico comprendente:

un elaboratore che controlla il funzionamento del sistema elettronico; e

un dispositivo di memoria accoppiato all'elaboratore, il dispositivo di memoria avendo un'apparecchiatura di lettura a compressione di dati comprendente:

un primo circuito che genera un primo segnale di coincidenza quando un bit di dati in una

posizione prestabilita di bit di ciascuna di una molteplicità di parole di dati è uno zero logico;

un secondo circuito che genera un secondo segnale di coincidenza quando il bit di dati nella posizione di bit prestabilita di ciascuna della molteplicità di parole di dati è a uno logico; e

un circuito buffer di uscita che o fa passare il bit di dati oppure si trova in uno stato ad alta impedenza in risposta al primo o secondo dei segnali di coincidenza.

22. Apparecchiatura di lettura a compressione di dati in un dispositivo di memoria, l'apparecchiatura comprendendo:

una prima serie di circuiti di coincidenza di bit che genera un primo segnale di coincidenza per indicare quando una posizione di bit prestabilita di ciascuna di una molteplicità di parole di dati si trova ad uno zero logico;

una seconda serie di circuiti di coincidenza di bit che genera un secondo segnale di coincidenza per indicare quando la posizione di bit prestabilita di ciascuna della molteplicità di parole di dati si trova a uno logico;

una molteplicità di circuiti ripetitori di propagazione che rigenerano il primo e secondo dei

segnali di coincidenza, un primo circuito ripetitore di propagazione accoppiato ad un numero prestabilito della prima serie di circuiti di coincidenza di bit ed un secondo circuito ripetitore di propagazione accoppiato tra un numero prestabilito della seconda serie di circuiti di coincidenza di bit; e

un circuito buffer di uscita accoppiato alla prima e seconda serie di circuiti di coincidenza di bit in modo tale che il buffer di uscita ponga in uscita il bit prestabilito quando o il primo o il secondo dei segnali di coincidenza indica uno stato vero ed il buffer di uscita si trova in uno stato ad alta impedenza in risposta al fatto che il primo o il secondo dei segnali di coincidenza indica uno stato falso.

23. Metodo per effettuare una operazione di lettura compressa in un dispositivo di memoria avente un buffer di uscita, il metodo comprendendo:

effettuare una operazione di coincidenza di bit su un bit di dati in una prestabilita collocazione di bit di ciascuna parola coinvolta nella operazione di lettura compressa;

se i bit di dati in ciascuna collocazione di bit prestabilita in ciascuna parola sono eguali,

abilitare il trasferimento del bit di dati attraverso il buffer di uscita; e

se i bit di dati in ciascuna delle collocazioni di bit prestabilite in ciascuna parola non sono eguali, determinare la collocazione di bit prestabilita della parola che sta causando una condizione di errore.

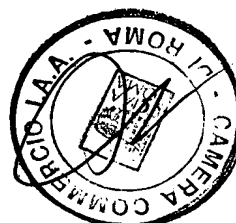
24. Metodo della rivendicazione 23, in cui la collocazione di bit prestabilita è determinata dalla uscita dell'operazione di lettura compressa.

25. Metodo della rivendicazione 24 e comprendente ulteriormente la riparazione della condizione di errore.

26. Metodo della rivendicazione 23 e comprendente ulteriormente la riparazione di ciascuna parola.

p.p. Micron Technology, Inc.

Gilberto F. A.
(Usc. Albo n. 83 814)
W. F. A.



RM 2003 A 000040

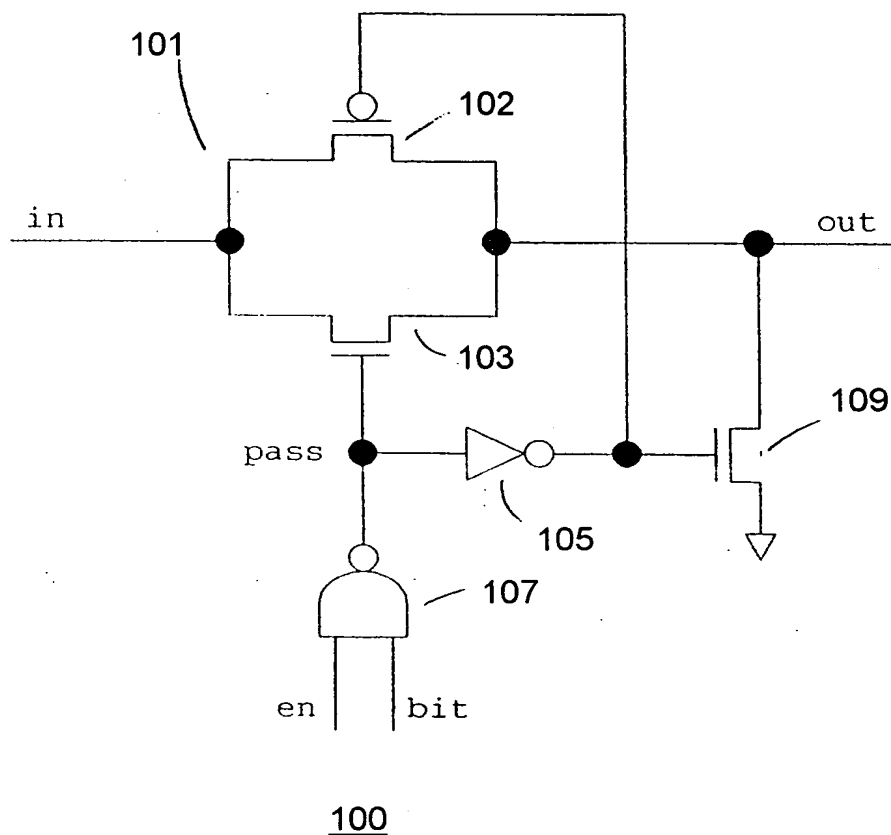
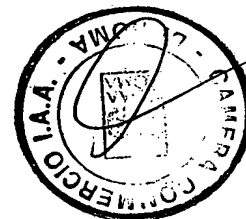


Fig. 1



Alberto Tonon
P (scr. Albo n. 83 BM)
Uffizi

RM 2003 A 000040

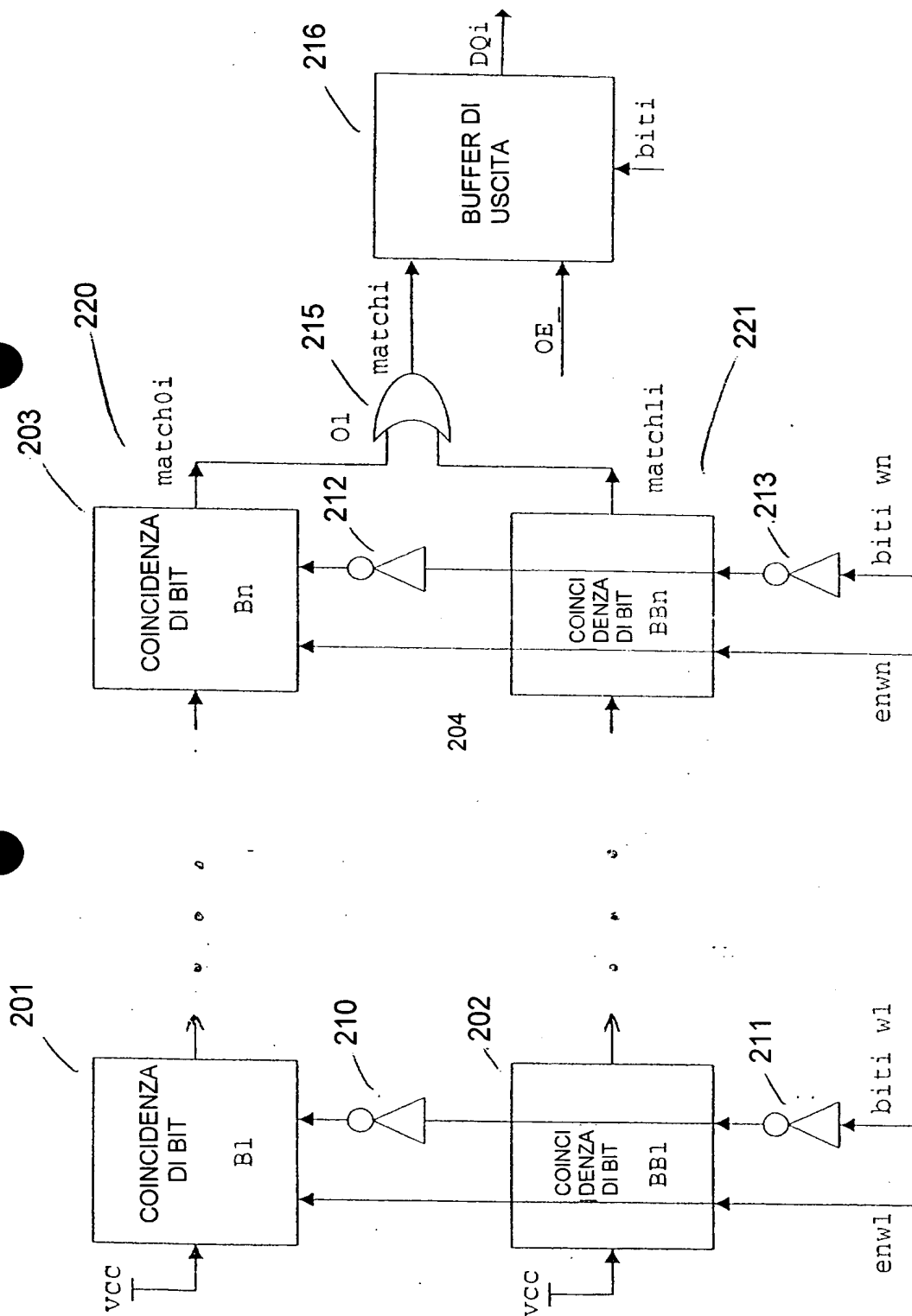
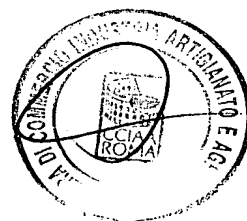


Fig. 2



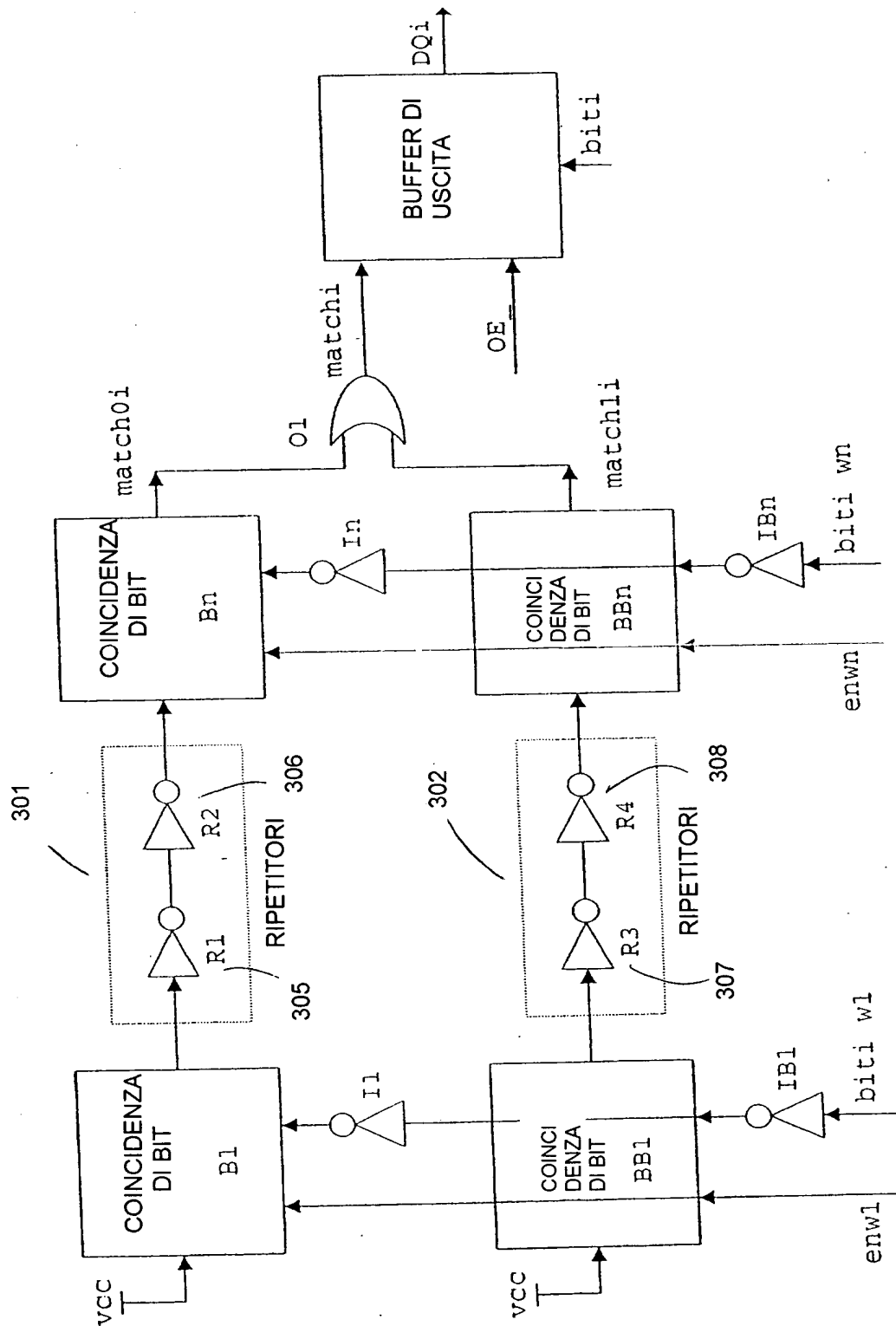


Fig. 3



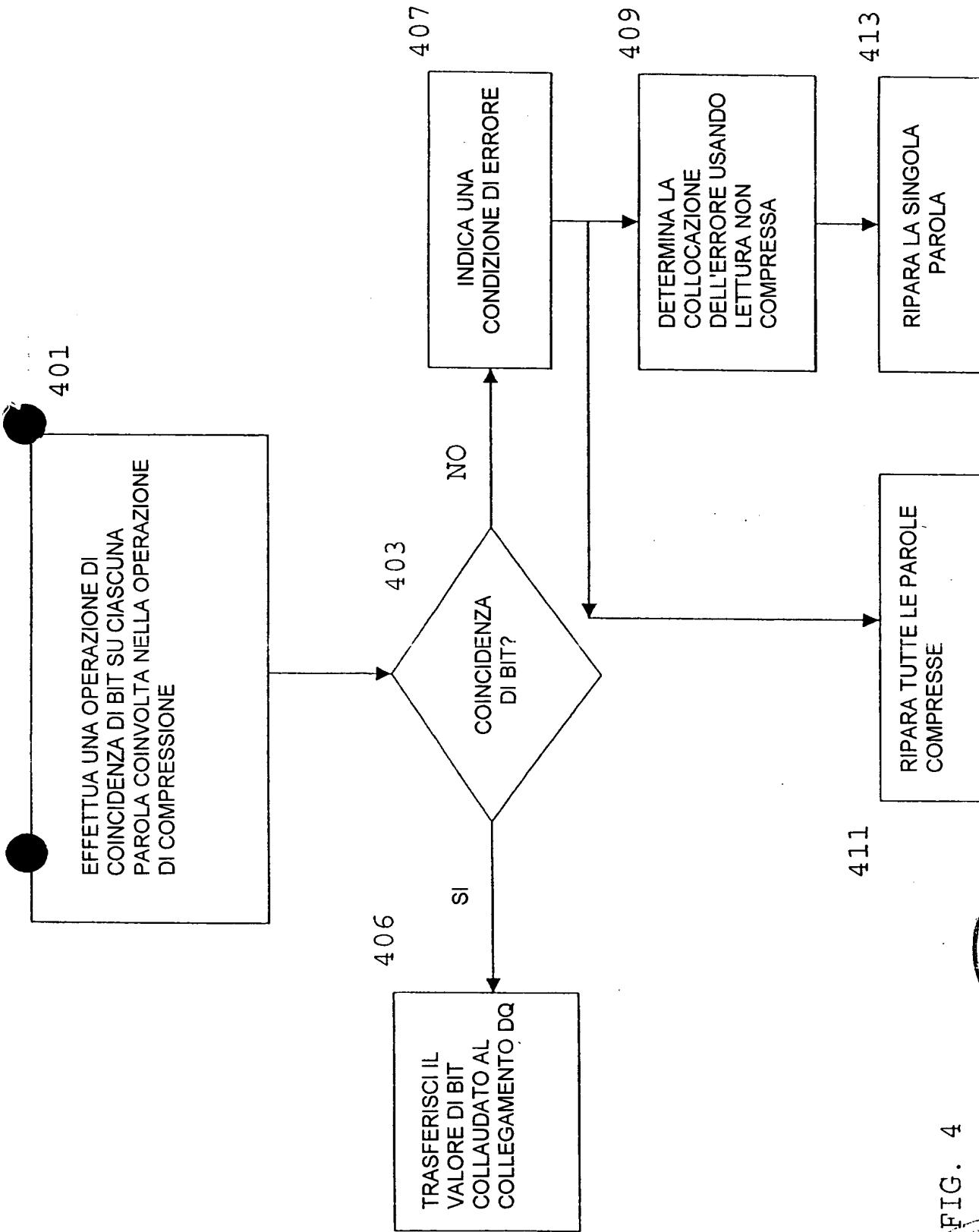


FIG. 4



RM 2003 A 000040

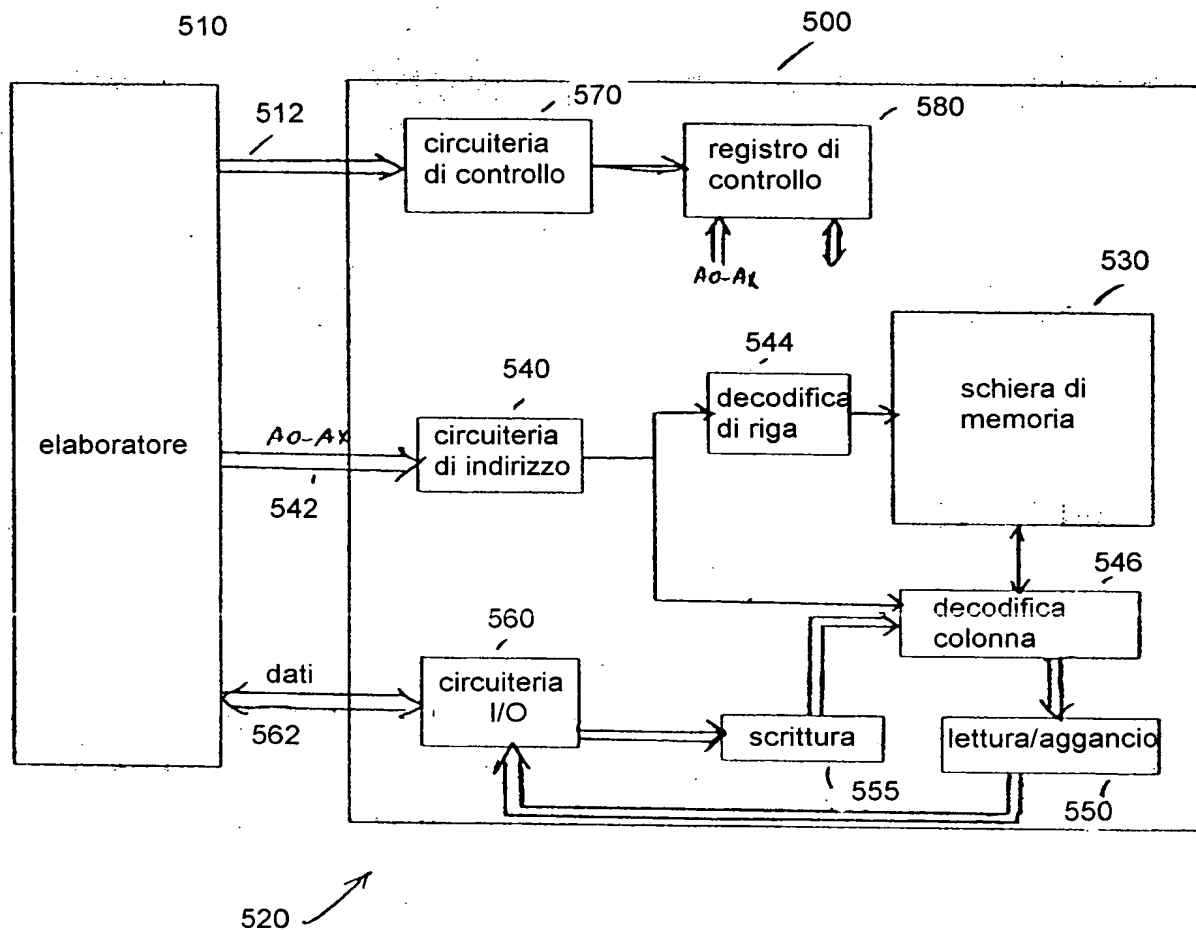


Fig. 5

